

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-147072
(P2000-147072A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 1 R 31/316		G 0 1 R 31/28	C 2 G 0 3 2
31/28			H

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平10-313421

(22) 出願日 平成10年11月4日 (1998.11.4)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 滝澤 知

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

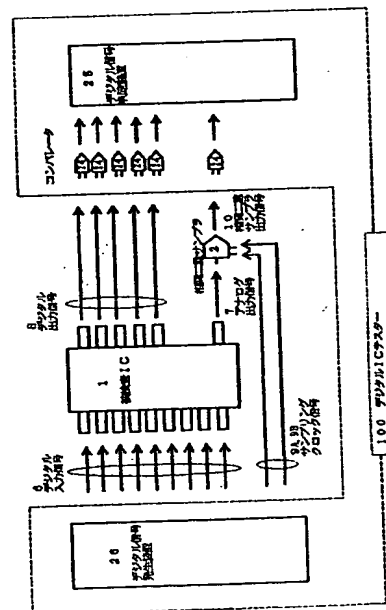
Fターム (参考) 2G032 AA09 AB01 AC03 AE08 AG07
AK15

(54) 【発明の名称】 デジタル・アナログ混在 IC の検査装置およびデジタル・アナログ混在 IC の検査方法

(57) 【要約】

【課題】 テストにかかるコストと時間を低減する。

【解決手段】 デジタル信号出力とアナログ信号出力とを行うデジタル・アナログ混在 IC の検査装置において、入力端子に入力される信号と基準値とを比較する比較手段 24 と、比較手段による比較結果に基づいて信号の良否判定を行う判定手段 25 とを備え、デジタル・アナログ混在 IC 1 からのデジタル信号出力は比較手段の入力端子に直接入力し、デジタル・アナログ混在 IC からのアナログ信号出力は関連二重サンプリング手段 2 を介して比較手段の入力端子に入力してなる。



【特許請求の範囲】

【請求項 1】 デジタル信号出力とアナログ信号出力とを行うデジタル・アナログ混在 IC の検査装置において、

入力端子に入力される信号と基準値とを比較する比較手段と、該比較手段による比較結果に基づいて該信号の良否判定を行う判定手段とを備え、

デジタル・アナログ混在 IC からのデジタル信号出力は前記比較手段の入力端子に直接入力し、該デジタル・アナログ混在 IC からのアナログ信号出力は相関二重サンプリング手段を介して前記比較手段の入力端子に入力してなることを特徴とするデジタル・アナログ混在 IC の検査装置。

【請求項 2】 前記相関二重サンプリング手段は、前記アナログ信号出力の変化前と変化後との間の変化値を出力することを特徴とする請求項 1 に記載のデジタル・アナログ混在 IC の検査装置。

【請求項 3】 デジタル信号出力とアナログ信号出力とを行うデジタル・アナログ混在 IC の検査方法において、

前記デジタル・アナログ混在 IC からのアナログ信号出力の変化前と変化後との間の変化値を検出し、この変化値と基準値と比較し、この比較結果に基づいてアナログ信号の良否判定を行うことを特徴とするデジタル・アナログ混在 IC の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタル・アナログ混在 IC の検査装置およびその検査方法に関する。

【0002】

【従来の技術】 IC 部品の検査を行うためには、被検査部品 (DUT) に対して所定の信号を入力し、その際に DUT より出力される信号を期待値と比較する。特にデジタル・アナログ混在 IC の場合には、デジタル・コンパレータによるデジタル出力検査と A/D コンバータによるアナログ出力検査の両方を行うことが求められる。これを実現するために従来は、デジタル IC テスターとアナログ IC テスターの二つの装置で検査を行うか、あるいは大規模なデジタル・アナログ混在 IC テスターを使用して検査を行っていた。

【0003】 図 3 は、従来より行われているデジタル・アナログ混在 IC テスター 101 による検査装置の概略的構成図を示している。デジタル信号発生装置 26 により被検査 IC 1 に検査用のデジタル信号 6 を入力し、その際に出力されるアナログ信号 7 を A/D コンバータ 21 によって数値化した後にキャプチャーメモリ 22 に蓄える。その後、演算用プロセッサ 23 がキャプチャーメモリ 22 に蓄えられたデータの演算を行うことによって、被検査 IC 1 のアナログ出力特性の評価に必要なパラメータを算出し、良否判定を行う。さらに、被検査 IC

1 のデジタル出力信号 8 についても、コンパレータ 24 によって '0' または '1' にデジタル化した後に、デジタル信号判定装置 25 によって良品として期待される値と比較を行い、良否判定を行う。

【0004】 この様に従来の技術では、デジタル出力、アナログ出力それぞれ別々のユニットを使用して検査することによって、デジタル・アナログ混在 IC の検査を実現している。

【0005】

【発明が解決しようとする課題】 上記従来例は、数多い種類のデジタル・アナログ混在 IC 部品の検査に適用が可能である。しかしながら、アナログ出力ポート内蔵のマイコン IC やグラフィックコントローラ IC 等にみられる様に、デジタル信号端子がその大部分を占める中に少数のアナログ信号端子を組み込んだ IC が近年増加しており、その様な IC を検査するにあたっては、以下の様な課題があった。

【0006】 (1) 検査装置として、アナログ出力検査のためにキャプチャー・メモリや演算用プロセッサを備えた大規模なデジタル・アナログ混在 IC テスターを使用する必要があるため、検査に要するコストが高くなってしまふ。

【0007】 (2) アナログ出力信号の良否判定を行う際に、プロセッサによる演算を行う必要があるため、検査にかかる時間が長くなってしまふ。

【0008】 本発明の目的は、デジタル入出力端子及びアナログ出力端子を備えた IC 部品に対して、アナログ測定ユニットを使用しない一般的なデジタル IC テスターによるテストを実現することによって、テストにかかるコストと時間を低減することにある。

【0009】

【課題を解決するための手段】 本発明のデジタル・アナログ混在 IC の検査装置は、デジタル信号出力とアナログ信号出力とを行うデジタル・アナログ混在 IC の検査装置において、入力端子に入力される信号と基準値とを比較する比較手段と、該比較手段による比較結果に基づいて該信号の良否判定を行う判定手段とを備え、デジタル・アナログ混在 IC からのデジタル信号出力は前記比較手段の入力端子に直接入力し、該デジタル・アナログ混在 IC からのアナログ信号出力は相関二重サンプリング手段を介して前記比較手段の入力端子に入力してなることを特徴とする。

【0010】 本発明のデジタル・アナログ混在 IC の検査方法は、デジタル信号出力とアナログ信号出力とを行うデジタル・アナログ混在 IC の検査方法において、前記デジタル・アナログ混在 IC からのアナログ信号出力の変化前と変化後との間の変化値を検出し、この変化値と基準値と比較し、この比較結果に基づいてアナログ信号の良否判定を行うことを特徴とする。

【0011】 上記本発明は、デジタル信号出力／アナロ

グ信号出力を併せ持った被検査ICのアナログ信号出力を相関二重サンプリング手段に入力し、比較手段で、相関二重サンプリング手段からの出力と基準値とを比較することで、種々の入力信号に対応して被検査ICのアナログ信号出力より出力される電圧値の変化幅が、基準値以内の値であるかどうかを検査することを可能とし、IC部品の良否判定を行うものである。

【0012】本発明ではデジタル信号出力の検査を行う比較手段、判定手段を用いてアナログ信号出力の検査を行うことができるので、キャプチャー・メモリ、演算用プロセッサ等が不要となつて、装置の構成が簡易化され、検査にかかる時間も短縮される。

【0013】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0014】図1は、本発明によるデジタル/アナログ混在ICの検査装置を示す概略的構成図である。なお、図3の構成部材と同一構成部材については同一符号を付する。

【0015】被検査IC1としては、例えばDAC内蔵型グラフィックコントローラICの様に、デジタル入力信号に応じて段階的に変化する電圧値のアナログ信号を出力する端子を内蔵したデジタル/アナログ混在ICを想定する。この被測定IC1の良否を判定するためには、様々に変化するデジタル入力信号6に対応して、デジタル出力信号8が期待値通りであることを確認すると共に、アナログ出力信号7の電圧変化値が規定の精度内であることも確認することが求められる。

【0016】しかしながら、一般的なデジタルICテスター100では、被検査IC1の出力信号をコンパレータ24によって'1'または'0'に2値化した上で期待値(基準値)との判定を行うため、そのままではアナログ出力信号7の電圧変化値を測定することができない。

【0017】そこで本発明では、アナログ出力信号7とコンパレータ24との間に相関二重サンブラ2を挿入し、デジタル入力信号6に同期したサンプリングクロック信号9によってサンプリングを行うことにより、入力信号6の変化に対応したアナログ出力信号7の電圧変化値をリアルタイムでコンパレータ24により比較することを可能とした。コンパレータ24によって'0'または'1'にデジタル化した後に、デジタル信号判定装置25によって良品として期待される値と比較を行い、良否判定を行う。

【0018】図2は上記システムによってD/Aコンバータの微分直線性精度をテストするための波形例を示す波形図である。デジタル信号6は、N、N+1、N+2、…の順に、アナログ出力信号7に段階的に高くなる電圧を発生させる信号であり、この各段階でのアナログ出力信号7の変化幅 ΔV_n (ΔV_1 , ΔV_2 , ΔV_3 , Δ

V4, ΔV_5 , ΔV_6 , ...) が常に規定範囲内の値に収まっていることを確認することが、この検査の目的である。そこで、アナログ出力信号7を相関二重サンブラで処理することにより、GNDレベルを基準とした電圧値に変換する。相関二重サンブラとしては、特開平7-107391号公報等に記載されているものを用いることができる。その構成及び機能は、図4、図5に示す通り、サンプリングクロック9Aの立ち上がり時とサンプリングクロック9Bの立ち上がり時の入力信号7の変化値を、GNDレベルを基準として出力するものである。したがって、図2に示す通り、被検査ICのアナログ出力(相関二重サンブラへの入力)信号7の変化時の直前にサンプリングクロック信号9Aの立ち上がり、また変化時の直後に9Bの立ち上りを同期させることにより、相関二重サンブラの出力信号10にアナログ信号7の変化値 ΔV_n を発生させることが可能となり、これをデジタルICテスター100の持つコンパレータ24にて規格値と比較することにより、被測定ICのアナログ出力信号7の電圧変化値の精度を検査することが可能となる。

【0019】

【発明の効果】以上説明したように、本発明によれば、デジタル/アナログ混在ICの検査を行う際に、デジタル出力端子のみならずアナログ出力端子の検査についても、デジタルICテスターのコンパレータ等の比較手段を使用して行うことが可能となり、テストに要する時間とコストを削減することができる。

【図面の簡単な説明】

【図1】本発明によるデジタル/アナログ混在ICの検査装置例を示す図である。

【図2】本発明によるデジタル/アナログ混在IC検査時の波形例を示す図である。

【図3】従来のデジタル/アナログ混在ICの検査装置例を示す図である。

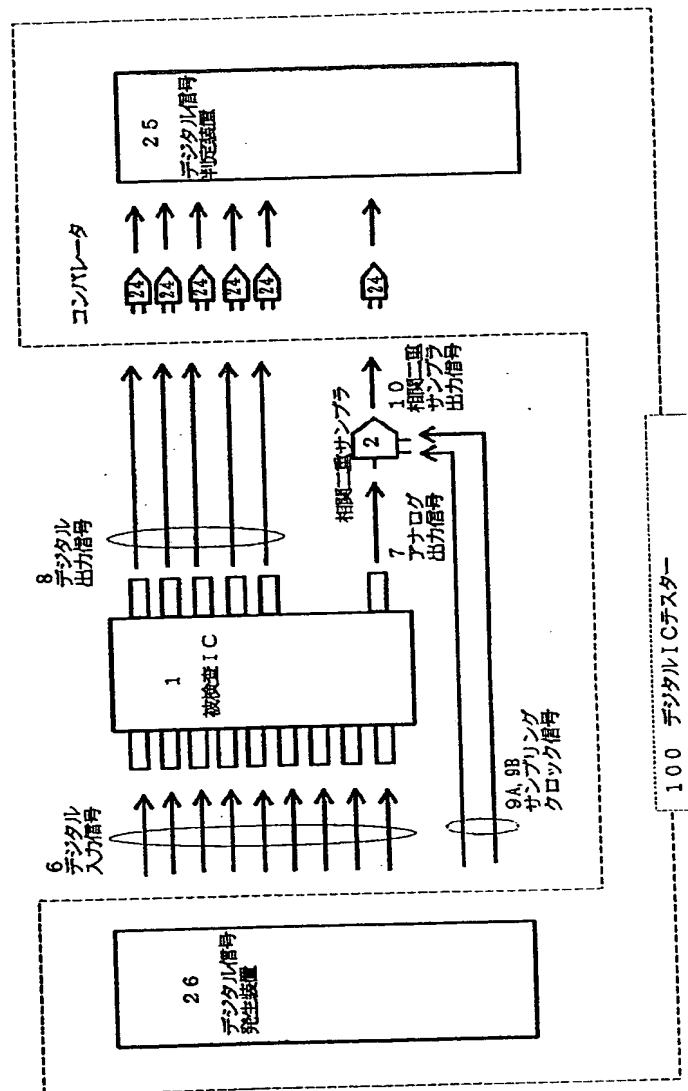
【図4】相関二重サンブラの構成を示す図である。

【図5】相関二重サンブラの機能動作を示す図である。

【符号の説明】

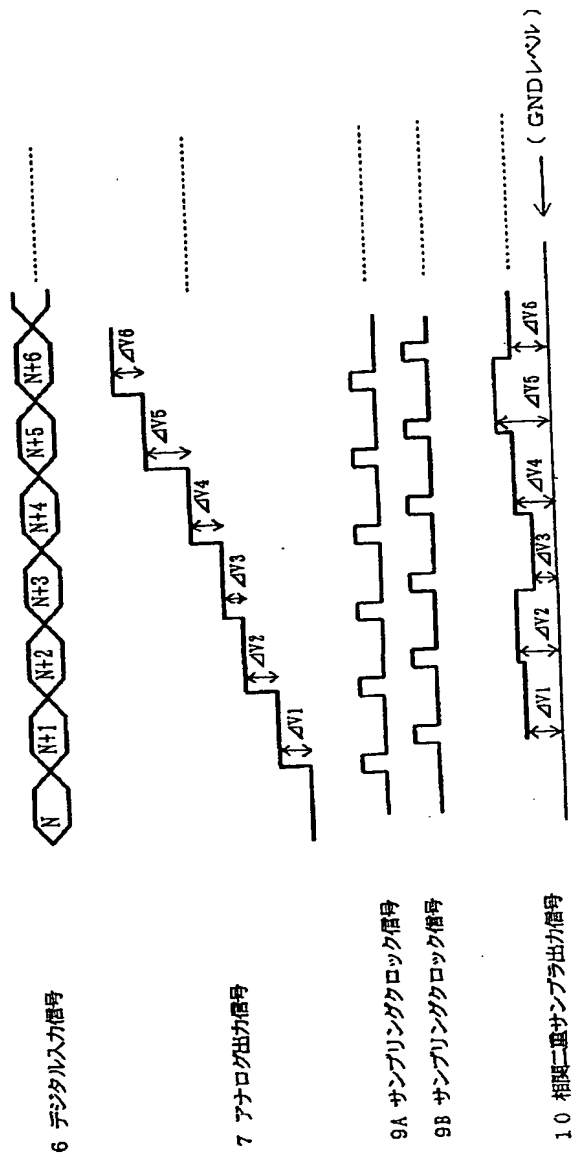
- 1 被検査IC
- 2 相関二重サンブラ
- 6 被検査ICへのデジタル入力信号
- 7 被検査ICの発生するアナログ信号
- 8 被検査ICの発生するデジタル信号
- 9A, 9B 相関二重サンブラのためのクロック信号
- 10 相関二重サンブラの出力信号
- 21 ICテスターのA/Dコンバータ
- 22 ICテスターのキャプチャー・メモリ
- 23 ICテスターの演算・判定用プロセッサ
- 24 ICテスターのコンパレータ
- 25 ICテスターのデジタル信号判定装置
- 26 ICテスターのデジタル信号発生装置

【図1】

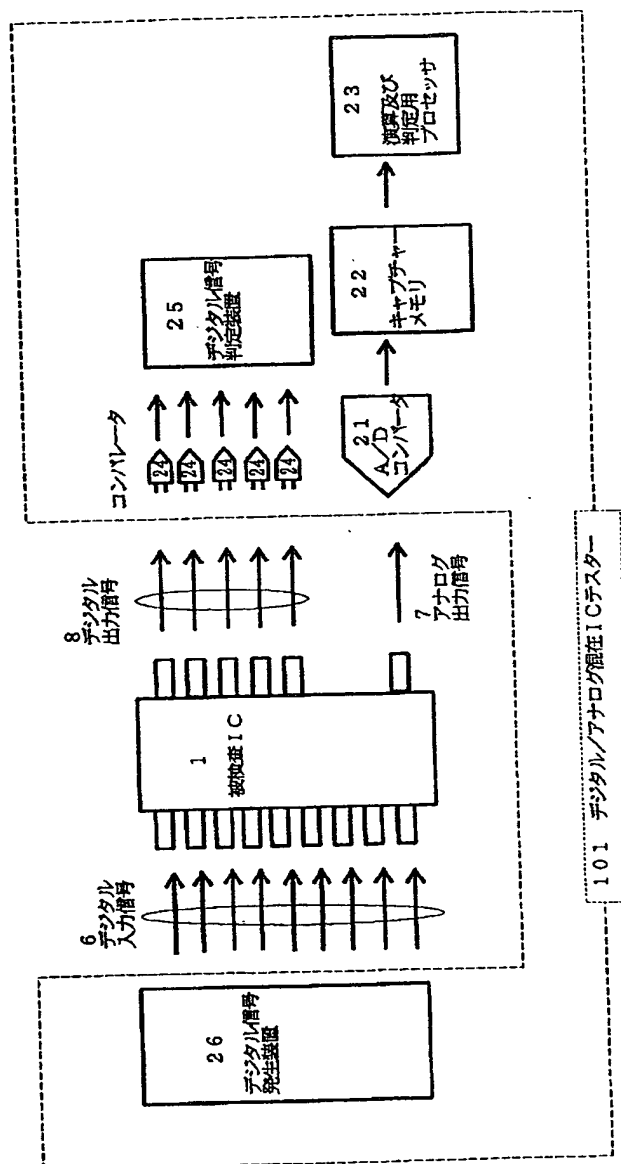


(5)

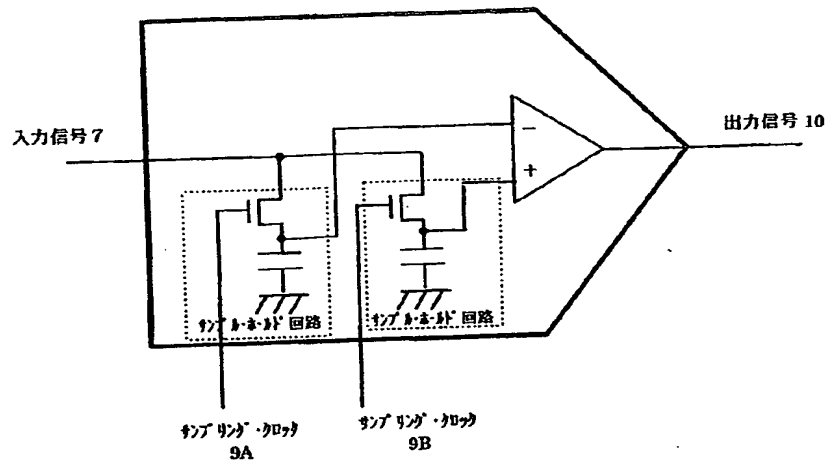
〔図2〕



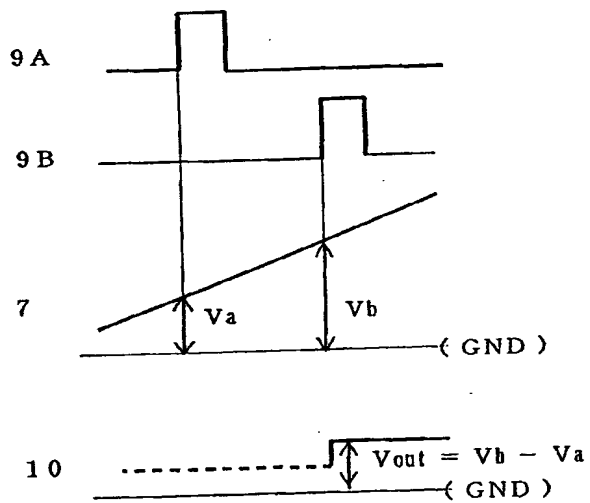
【図3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)